

一种 900 V JTE 结构 VDMOS 终端设计

石存明,冯全源,陈晓培

(西南交通大学 微电子研究所,四川 成都 611756)

摘 要: 垂直双扩散金属氧化物场效应晶体管 (Vertical Double-diffused Metal-Oxide-Semiconductor Field Transistor, VDMOS) 是由 Pbody 与外延层之间形成的 PN 结承受电压,由于工艺限制,元胞区域只能设计为突变结,而终端区域最常用的结构为场限环,在原理上也相当于突变结耐压. 结合结终端扩展 (Junction Termination Extension, JTE) 技术,引入缓变结耐压,设计了一款 900 V 的终端结构,实现了 992.0 V 的仿真击穿电压,终端效率达到了 98.6%,而且有效终端长度仅有 130.2 μm ,在较大程度上减小了芯片的占用面积,提高了击穿电压,而且工艺流程与成熟的深阱场限环基本一致,有较好的兼容性.

关键词: 终端;结终端扩展;缓变结;击穿电压

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2016)04-0129-04

Design of 900 V JTE Structure VDMOS Termination

SHI Cun-ming, FENG Quan-yuan, CHEN Xiao-pei

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: The breakdown voltage of Vertical Double-diffused Metal-Oxide-Semiconductor Field Transistor (VDMOS) is withstood by the PN junction form by Pbody and EPI. The cell region is designed as a abrupt junction because of the technique limitation. Field Limit Ring (FLR) is the most common structure used in termination region, and it can also take as a abrupt junction. In this paper, a 900 V termination structure is designed with the introduction of graded junction and the combination of Junction Termination Extension (JTE). The simulation breakdown voltage 992.0V with the effective termination length of only 130.2 μm , and the efficiency is 98.6%. The chip area is significantly decreased, breakdown voltage is significantly increased, and the technique is the same to deep well FLR's, which means a good technique compatibility.

Key words: termination; variation of lateral; doping; breakdown voltage

1 引言

由于工艺的限制,高压 VDMOS 器件中 P 型区域的深度无法做到很深,所以通常 P 型区域的掺杂浓度相对较高,为了实现高的击穿电压,外延层的掺杂相对较低. 所以 VDMOS 器件的耐压模型相当于是一个突变结. 元胞区域中间相当于平行平面结,击穿电压较高,而靠近芯片外围的地方相当于柱面结,由于柱面结的电场集中效应,芯片外围击穿电压较低,所以外围的柱面结区域限制了芯片的耐压

性能. 终端结构就是用来改善芯片外围的局部电场集中效应,从而提升芯片的击穿电压及可靠性^[1].

由于新型终端的工艺复杂,目前实际生产中采用的终端结构主要还是场限环. 由于形成环的 P 型区杂质浓度相对较高,所以还是相当于突变结耐压. 而在高压器件中,为了达到设计击穿电压,终端需要占用较大的面积,在横向完全可以设计为缓变结,这样 P 型区与 N 型区同时耐压,降低了终端占用面积,有效提升终端效率.

基于上述思路,本文设计了一款 JTE^[2] 结构

VDMOS 终端, 在 $130.2\ \mu\text{m}$ 的有效终端长度上实现了 $992.0\ \text{V}$ 的仿真击穿电压, 达到了平行平面结的 98.6% 。

2 终端结构设计

2.1 JTE 原理

VDMOS 的耐压是由体区与外延层之间形成的 PN 结来承担。由于工艺的限制 P 型的体区结深无法做到很深, 而为了达到高击穿电压的目的, 通常采用高掺杂的 P 型区与低掺杂的 N 型区形成突变结, 这样在耐压时, 耗尽层主要在 N 型区。而在高压器件的设计中, 通常采用穿通设计, 结构类似于一个 P-i-N 二极管。图 1 为其结构以及电场分布示意图^[3]。

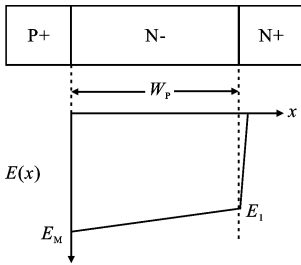


图 1 突变结穿通二极管示意图

图中的 P+ 区域相当于高压 VDMOS 的 Pbody, N- 相当于外延层, N+ 相当于衬底, 当最大电场 (E_M) 等于击穿临界电场 (E_C) 时, 穿通二极管发生雪崩击穿。击穿电压为^[3]:

$$V_B = E_C W_P - \frac{q N_D W_P^2}{2 \epsilon_s} \quad (1)$$

式中, E_C 为临界电场, W_P 为漂移区宽度, N_D 为漂移区掺杂浓度, ϵ_s 为硅的绝对介电常数。

在元胞区域的中央, 其耐压模型可以认为是一个突变结穿通二极管, 而在元胞区域的外围 P 型区会形成一个柱面结, 导致器件耐压降低, 所以在这里需要设计终端结构进行保护。

目前实际生产中用的最多的还是场限环结构, 通常与体区是一起形成, 或者单独做一层掩膜来实现更深的结深, 其杂质浓度与体区差别不大, 可以认为与外延层形成的 PN 结也是突变结, 突变结 P 型区的耐压基本可以忽略。VDMOS 器件元胞区是纵向耐压, 由于结深的限制采用突变结比较合理, 而在终端区域偏向于横向耐压, 可以将其设计为缓变结, 这样 P 型区也参与耐压, 能较大程度上减小了芯片的面积。图 2 所示为线性缓变结二极管的结构、电荷、电场与电势示意图^[3]。通过确定电离积分等于 1 来得到线性缓变结的击穿电压为^[3]:

$$V_B = 9.2 \times 10^5 G^{-2/5} \quad (2)$$

式中, G 为净电荷浓度随距离变化的斜率。

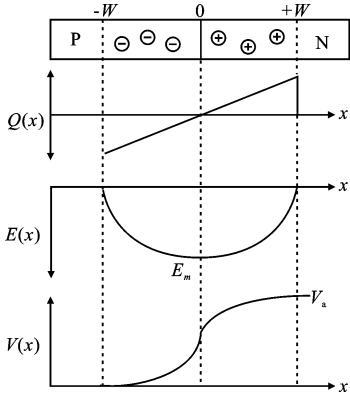


图 2 线性缓变结二极管示意图

因为 P 型区域承受了额外的电压, 这种结构比突变结的击穿电压要高, 由于需要调整注入剂量使 P 型区也有较宽的耗尽层, 而 P 型区无法得到很深的结深, 所以 N 型区域也相对较窄, 因此这种结构一般用来设计小于 $30\ \text{V}$ 的低压器件的元胞^[3]。但是在终端区域可以通过减小 P 型区的掺杂浓度引入横向的缓变结结构, 可以较大程度增加器件的击穿电压。这种在终端采用低掺杂 P 型掺杂的技术也称作结终端扩展。

2.2 JTE 终端设计

基于以上的思路, 设计出如图 3 所示的 JTE 终端结构。P+ 区域为 Pbody, P- 区域为 JTE 掺杂, 二者采用两层掩膜, 分两次注入退火形成。其工艺步骤与深阱场限环工艺基本相同。其中的 JTE 掺杂区域开窗设置为 $64\ \mu\text{m}$, 为了使 JTE 区域在耐压时耗尽, 其掺杂注入剂量为 $2.9 \times 10^{12}\ \text{cm}^{-2}$, 为了达到耐压条件, 选取的外延掺杂浓度为: $1.40 \times 10^{14}\ \text{cm}^{-3}$, 对应电阻率为 $31\ \Omega \cdot \text{cm}$, 外延厚度为 $58\ \mu\text{m}$ 。

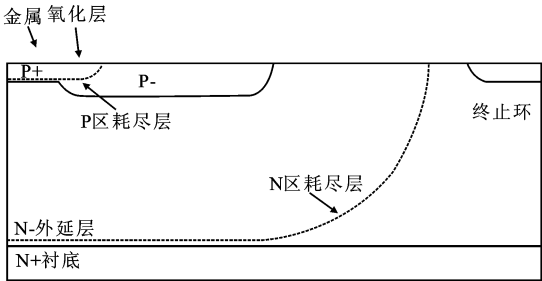


图 3 JTE 终端结构示意图

3 仿真结果

根据上述结构以及相关参数, 利用 Sentaurus TCAD 仿真软件对此终端结构进行仿真, 得到的掺

杂模型如图 4 所示. 图中的曲线 1 和曲线 2 分别为击穿时 P 型区域和 N 型区域的耗尽层,此终端最左边到 N 型区耗尽层的最右边作为终端的长度为 $130.2\ \mu\text{m}$,即此终端的有效长度为 $130.2\ \mu\text{m}$.



图 4 终端结构仿真模型

图 5 所示为终端结构在击穿时的电流密度分布仿真结果. 从图中可以看出, 电流最大的地方为 P 型重掺杂区域的边缘, 即此处为终端的击穿点.

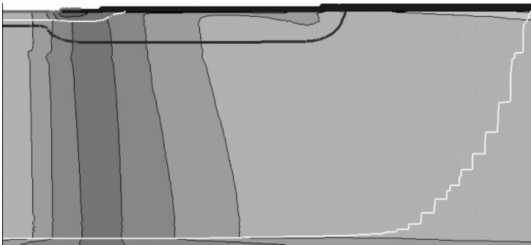


图 5 电流密度分布

图 6 所示为终端结构电场分布仿真结果. 从图中可以看出在击穿时击穿点位置横向电场相对都比较平均, 可以认为本应该有的柱面结电场集中被最大程度得分担了, 也就是说终端结构已经发挥了最大的效果.

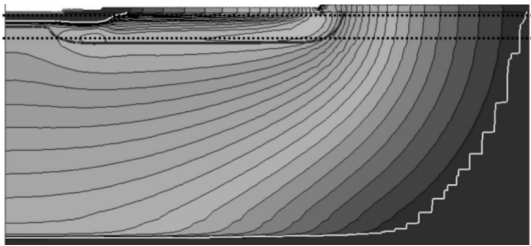


图 6 电场分布

沿着图 6 所示的虚线截取终端的表面电场与击穿点的电场进行对比, 结果如图 7 所示.

从图中可以看出在硅体内部有两个电场峰值, 其中内部击穿点的峰值电场为 $2.64\text{e}5\ \text{V} \cdot \text{cm}^{-1}$, 表面电场峰值为 $2.76\text{e}5\ \text{V} \cdot \text{cm}^{-1}$. 表面的电场峰值主要是由横向的缓变结电场分布特性引起的, 而由于注入窗口刻蚀造成的氧化层台阶也对此处电场分布有影响.

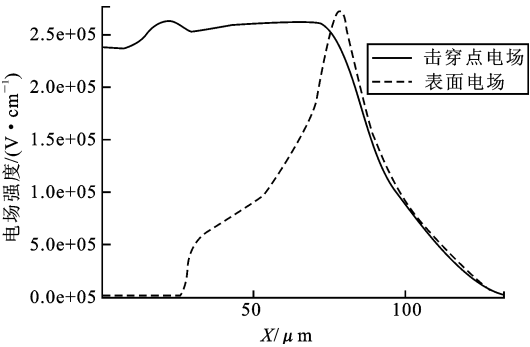


图 7 表面电场与击穿点电场

图 8 所示为沿器件表面截取的掺杂浓度、电场、电势三个参数分布曲线对比图. 由于 JTE 区域的掺杂浓度是恒定的, 相比较于原理介绍中的线性缓变结的电荷分布有较大区别, 但二者缓变结的特性是基本一样. 从图中可以看到电场在结区达到最大, 而且 P 型区的耐压约为 $510\ \text{V}$, 达到了总耐压的 51.4% .

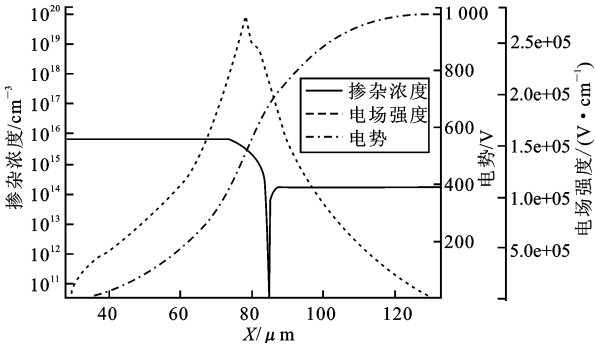


图 8 掺杂电场与电势对比

本文设计的结构仿真击穿电压曲线如图 9 所示, 从图中可以看出其击穿电压达到了 $992.0\ \text{V}$.

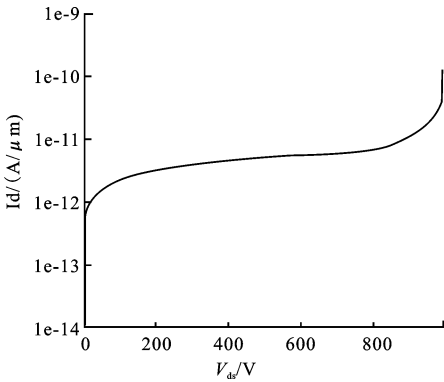


图 9 击穿曲线

根据设计使用 EPI 条件结合式(1), 计算得到此器件理论的平行平面结击穿电压为 $1\ 006\ \text{V}$, 即本文设计的终端结构达到了平行平面结击穿电压的

98.6%，终端效率较高。而普通的场限环结构终端的击穿电压只能达到平行平面结的 80%^[4]。

从另一个方面看，JTE 就是一种电荷补偿的技术，所以引入的电荷量对击穿电压有较大的影响，本文通过改变 JTE 区域的注入剂量来模拟这种影响，得到的结果如图 10 所示。图中的曲线描绘出终端结构击穿电压随着 JTE 区域注入剂量变化的趋势，从图中大概可以看出，注入剂量在 2.7e12 到 3.0e12 时，击穿电压达到最大，当注入剂量再增加时，击穿电压迅速减小，这是由于注入剂量过大时，JTE 区域的掺杂浓度过大从而在击穿时无法全部耗尽，P 型区承受的电压大幅度减小。

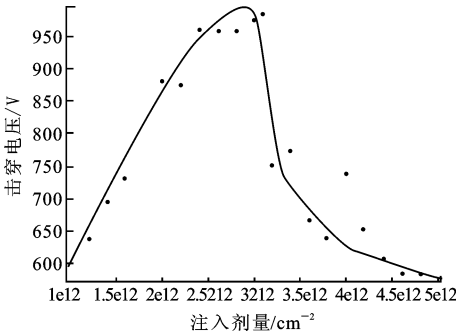


图 10 电压与 JTE 区注入剂量关系

图 11 所示为注入剂量不同时 JTE 掺杂区耗尽层的对比，可以看出表面横向的耗尽层宽度随注入剂量增大减小，趋势与击穿电压与注入剂量的关系类似，在注入剂量从 2.9e12 cm⁻²变化到 3.2e12 cm⁻²时电压与耗尽层宽度变化幅度相对比较大，从 3.2e12 cm⁻²变化到 3.8e12 cm⁻²以及从 3.8e12 cm⁻²变化到 4.4e12 cm⁻²时电压与耗尽层宽度变化幅度相对较小。这说明 JTE 结构的击穿电压在一定的范围内对注入剂量有较强的敏感性，造成这种敏感性的主要原因是注入剂量对 JTE 掺杂区横向耗尽层宽度的影响导致了缓变结 P 型区耐压的变化。



图 11 不同注入剂量的 JTE 区耗尽层对比

本文设计的 JTE 终端结构，在 130.2 μm 的终端长度上，实现了 992.0 V 的仿真击穿电压，终端效率达到了 98.6%。文献[5]采用横向变掺杂结构，终端长

度为 140 μm，实现了 882 V 的击穿电压，但其采用的外延电阻率较大，为 30~40 Ω·cm，外延层厚度为 68~75 μm，终端效率较低。文献[6]也采用的是横向变掺杂结构，使用的外延层规格与本文一样，有效终端长度为 140 μm，达到的仿真击穿电压为 947 V，计算得到其终端效率为 94.1%，但是为了达到较好的浓度分布，其终端注入开窗最小需要 0.5 μm，实际生产中终端刻蚀通常采用湿刻，基本无法达到这么高的精度要求。不同终端结构对比如表 1 所示。

表 1 不同终端结构对比

文献	耐压/V	终端长度/μm	终端效率/%
文献[5]	882	140	—
文献[6]	947	140	94.1
本文	992	130.2	98.6

4 结束语

本文采用 JTE 的思路，引入缓变结耐压，在深阱场限环工艺的基础上，仅改变了深阱注入的剂量设计了一款 VDMOS 终端结构，结构简单，占用芯片面积小，效率高，工艺兼容性较好。其终端有效长度仅有 130.2 μm，击穿电压为 992.0 V，达到了理想平行平面结的 98.6%。

参考文献：

[1] 张彦飞，吴郁，游雪兰，等. 硅材料功率半导体器件结终端技术的新发展[J]. 电子器件，2009，32(3)：538-546.

[2] Temple V A K. Increased avalanche breakdown voltage and controlled surface electric fields using a junction termination extension (JTE) technique[J]. IEEE Transactions on Electron Devices, 1983，30(8)：954-957.

[3] B Jayant Baliga. Fundamentals of power semiconductor devices[M]. USA: Springer, 2008.

[4] 陈星弼. 功率 MOSFET 与高压集成电路[M]. 南京市: 东南大学出版社, 1990.

[5] 严向阳，唐晓琦，淮永进. 高压 VDMOSFET 击穿电压优化设计[J]. 纳米器件与技术，2008，45(10)：577-579.

[6] 吴克滂，冯全源，高晓蓉. 一款 900 V VDMOS 的 VLD 终端结构设计[J]. 电子元件与材料，2015，34(2)：43-46.

作者简介：

石存明 男，(1989-)，硕士研究生. 研究方向为大功率器件的研究与设计. E-mail: 974743181@qq. com.